

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年1月20日 (20.01.2005)

PCT

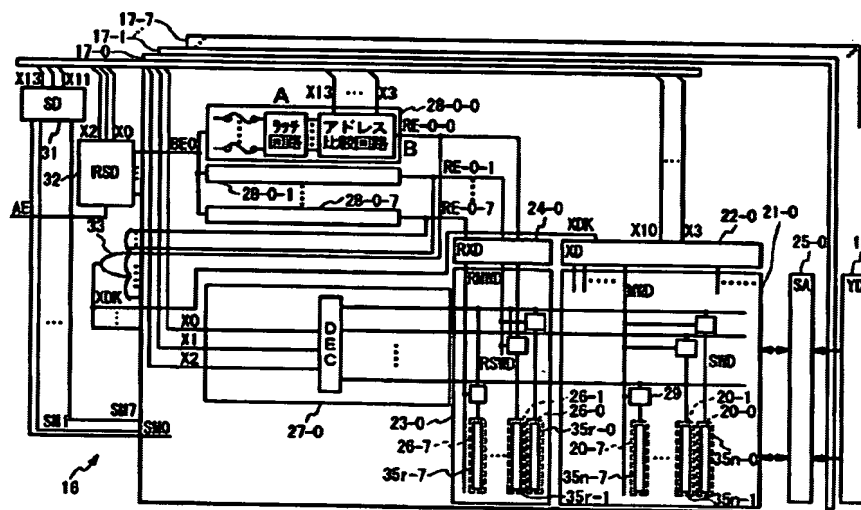
(10) 国際公開番号
WO 2005/006345 A1

- (51) 国際特許分類: G11C 29/00 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/009959 (75) 発明者/出願人 (米国についてのみ): 小川 澄男
(22) 国際出願日: 2004年7月13日 (13.07.2004) (OGAWA, Sumio) [JP/JP]; 〒7390153 広島県東広島
(25) 国際出願の言語: 日本語 市吉川工業団地7番10号 広島日本電気株式会社
(26) 国際公開の言語: 日本語 内 Hiroshima (JP). 越川 康二 (KOSHIKAWA, Yasuji)
(30) 優先権データ: 〒1040028 東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内 Tokyo (JP).
特願2003-274991 2003年7月15日 (15.07.2003) JP
(71) 出願人 (米国を除く全ての指定国について): エルピー
(74) 代理人: 工藤 実 (KUDOH, Minoru); 〒1400013 東京
ダメモリ株式会社 (ELPIDA MEMORY, INC.) [JP/JP]; 都品川区南大井六丁目24番10号カドヤビル6階
〒1040028 東京都中央区八重洲二丁目2番1号 Tokyo (JP). Tokyo (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

(続葉有)

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



A...LATCH CIRCUIT
B...ADDRESS COMPARATOR CIRCUIT

(57) Abstract: A semiconductor storage device having a redundancy circuit for compensating for failed memory cells, wherein an uneven distribution of memory cell failures is effectively compensated for. The semiconductor storage device has a plurality of memory blocks each including a plurality of segments. A redundancy memory block for replacing failed data of a segment is physically provided to each of the plurality of memory blocks. Block addresses of the redundancy memory blocks are logically commonly assigned to the plurality of memory blocks.

(57) 要約: 不良メモリセルの救済を行うリダンダンシ回路を備えた半導体記憶装置において、偏在するメモリセル不良を効率的に救済する。複数のメモリブロックを備える半導体記憶装置において、メモリブロックは複数のセグメントを含む。セグメントの欠陥データを置換するリダンダンシメモリブロックは、複数のメ

(続葉有)